

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: , Kenji NARITA, et al.

Application No.: New Patent Application

Filed: February 3, 2004

For: SEMICONDUCTOR DEVICE FOR CHARGE-UP DAMAGE
EVALUATION AND CHARGE-UP DAMAGE EVALUATION METHOD

CLAIM FOR PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Sir: .

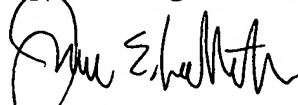
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2003-042352, filed February 20, 2003.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: February 3, 2004

JEL/spp
Attorney Docket No. L8462.04103
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月20日
Date of Application:

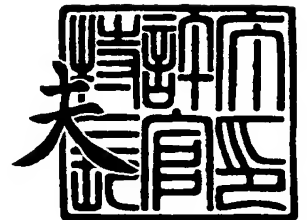
出願番号 特願2003-042352
Application Number:
[ST. 10/C]: [JP2003-042352]

出願人 松下電器産業株式会社
Applicant(s):

2003年10月15日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3084734

【書類名】 特許願

【整理番号】 2926440206

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/786

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 成田 賢治

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
 松下電器産業株式会社内

 【氏名】 山口 峰生

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100076174

 【弁理士】

 【氏名又は名称】 宮井 暎夫

【選任した代理人】

 【識別番号】 100105979

 【弁理士】

 【氏名又は名称】 伊藤 誠

【手数料の表示】

 【予納台帳番号】 010814

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0212624

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 チャージアップダメージ評価用半導体装置とその評価方法

【特許請求の範囲】

【請求項 1】 基板と、この基板上に形成された第一の絶縁膜と、この第一の絶縁膜上に形成され前記基板に接続された第一の導電層と、この第一の導電層上に形成された第二の絶縁膜と、この第二の絶縁膜上に形成されアンテナとなる第二の導電層と、この第二の導電層上に形成された第三の絶縁膜とを備えたチャージアップダメージ評価用半導体装置。

【請求項 2】 前記第三の絶縁膜は帯電し易い材料である請求項 1 記載のチャージアップダメージ評価用半導体装置。

【請求項 3】 前記第三の絶縁膜は凹凸を有する請求項 1 または請求項 2 記載のチャージアップダメージ評価用半導体装置。

【請求項 4】 少なくとも第二の導電層の上部の第三の絶縁膜に幾何学模様を形成している請求項 1、請求項 2 または請求項 3 記載のチャージアップダメージ評価用半導体装置。

【請求項 5】 第三の絶縁膜の上面が多数の平行なスリットのあるスリット形状である請求項 1、請求項 2、請求項 3 または請求項 4 記載のチャージアップダメージ評価用半導体装置。

【請求項 6】 第三の絶縁膜の上部に多数のスリットを放射形状に形成した請求項 1、請求項 2、請求項 3 または請求項 4 記載のチャージアップダメージ評価用半導体装置。

【請求項 7】 第三の絶縁膜の上部にスリットを渦巻状に形成した請求項 1、請求項 2、請求項 3 または請求項 4 記載のチャージアップダメージ評価用半導体装置。

【請求項 8】 第二の導電層に接続されたアンテナ部の面積と第一の導電層と第二の導電層で形成されたキャパシタ部分の面積の比が大きい請求項 1 または請求項 2 記載のチャージアップダメージ評価用半導体装置。

【請求項 9】 第二の絶縁膜の膜厚に対する第一の絶縁膜の膜厚の比が大きい請求項 1、請求項 2 または請求項 8 記載のチャージアップダメージ評価用半導体

装置。

【請求項 10】半導体製造工程において静電気によりチャージアップされた請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7、請求項 8 または請求項 9 記載のチャージアップダメージ評価用半導体装置を光学式欠陥検査装置にて検査し、静電気起因で発生した欠陥の検出数から欠陥発生率を算出することを特徴とするチャージアップダメージ評価方法。

【請求項 11】請求項 5 記載のチャージアップダメージ評価用半導体装置を光学式欠陥検査装置にて検査し、静電気起因で発生した欠陥の検出数から欠陥発生率を算出するチャージアップダメージ評価方法であって、半導体製造工程における洗浄工程で洗浄液からチャージアップダメージ評価用半導体製造装置を引き上げる際に、第三の絶縁膜上部の前記スリットに対して平行な方向に引き上げる場合と、前記スリットに対して垂直な方向に引き上げる場合とに分離して行い、引き上げた各チャージアップダメージ評価用半導体製造装置を前記光学式欠陥検査装置により検査することを特徴とするチャージアップダメージ評価方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置製造工程における、チャージアップダメージ評価用半導体装置とその評価方法に関する。

【0002】

【従来の技術】

素子の微細化、高集積化に伴い、MOS トランジスタ等のゲート酸化膜の薄膜化、配線の微細化が進んできている。そのため、半導体製造プロセスにおけるチャージアップによる酸化膜へのダメージ防止がますます重要になってきている。これまでもイオン注入などのイオンビーム照射プロセスやプラズマによるドライエッチング工程における薄い酸化膜のチャージアップダメージが問題視されていたため、図 11 で示すようなアンテナ付き MOS (Metal Oxide Semiconductor) キャパシタによってチャージアップダメージ評価を行っていた (例えば特許文献 1 参照)。

【0003】

図11において、101はシリコン基板、102はキャパシタ領域となる薄膜ゲート酸化膜、103は素子分離酸化膜、104はアンテナ電極となるポリシリコン膜を示している。アンテナ付きMOSキャパシタの構造は、シリコン基板101上に素子分離酸化膜103を形成し、その後薄膜ゲート酸化膜102を堆積し、そして全面にポリシリコン膜104を堆積している。アンテナ付きMOSキャパシタには一般的に $1 \sim 10^6$ 倍までのアンテナ比： A （ A =アンテナ電極面積／キャパシタ面積）をもったキャパシタを対数比で複数個備えてある。

【0004】

このアンテナ付きMOSキャパシタでのチャージアップダメージの評価方法は、このアンテナ付きMOSキャパシタにイオン注入等の処理を施し、その後MOSキャパシタの絶縁膜に電圧を印加することで電氣的ストレスを与え、絶縁膜が絶縁破壊されるのに至る時の電圧を測定し、ある閾値電圧（例えば、 $8\text{MV}/\text{cm}$ ）以下のチップを不良個所と見なしてキャパシタの故障（ゲート酸化膜の破壊）率を算出することによって行う。このアンテナ付きMOSキャパシタが破壊されないようにプロセス条件を設定する。

【0005】**【特許文献1】**

特開平8-203971号公報（第2-3頁）

【0006】**【発明が解決しようとする課題】**

しかしながら、上記従来のチャージアップダメージ評価用アンテナ付きMOSキャパシタでは、イオン注入、プラズマエッチング、電子線等による電荷の直接帯電でのゲート酸化膜102へのダメージに対しては感度が高いが、摩擦等で発生するような静電気に対しては感度が低いという問題を有していた。イオン注入などでは、アンテナ電極に大きな電界が印加される。印加された電界分布が不均一である時、印加された電界によって電流がゲート酸化膜102を通過する。この時大量の電荷がゲート酸化膜102を通過するためゲート酸化膜102の破壊が生じる。

【0007】

一方、絶縁物間の摩擦などで発生する静電気によってアンテナ電極に印加される電界は大きいが電荷量は極微量であるため、ゲート酸化膜 102 を破壊するほどの電荷の流れ（電流）は生じない。このため、従来技術によるアンテナ付き MOS キャパシタでは静電気によるチャージアップダメージに対して感度が低い。本発明は上記従来の問題点を解決するもので、静電気によるチャージアップダメージを検出することのできるチャージアップダメージ評価用半導体装置とその評価方法を提供することを目的とする。

【0008】**【課題を解決するための手段】**

請求項 1 記載チャージアップダメージ評価用半導体装置は、基板と、この基板上に形成された第一の絶縁膜と、この第一の絶縁膜上に形成され前記基板に接続された第一の導電層と、この第一の導電層上に形成された第二の絶縁膜と、この第二の絶縁膜上に形成されアンテナとなる第二の導電層と、この第二の導電層上に形成された第三の絶縁膜とを備えたものである。

【0009】

請求項 1 記載チャージアップダメージ評価用半導体装置によれば、最上導電層が絶縁膜で覆われかつ少なくとも二層以上の導電層を有するものであって、基板へと接続されている第一の導電層と、アンテナとなる大面積パターンに接続された第二の導電層と、シリコン基板と第一の導電層間に第一の絶縁膜を有し、第一の導電層と第二の導電層間に第二の絶縁膜を有するので、静電気によるチャージアップに対して高感度である。すなわち、製造工程での処理により発生した静電気により、アンテナとなる第二の導電層下部に電荷による静電エネルギーが蓄えられ、静電気による高電界の印加により第一の導電層と第二の導電層間の絶縁膜を劣化させることにより、蓄積された静電エネルギーが放出され、第一の導電層と第二の導電層間の絶縁膜の物理的破壊が発生するため、静電気起因のチャージアップダメージを感度良く定量的に検出することができる。

【0010】

請求項 2 記載のチャージアップダメージ評価用半導体装置は、請求項 1 におい

て、前記第三の絶縁膜が帯電し易い材料である。

【0 0 1 1】

請求項 2 記載チャージアップダメージ評価用半導体装置によれば、請求項 1 と同様な効果のほか、高い感度を期待できる。

【0 0 1 2】

請求項 3 記載のチャージアップダメージ評価用半導体装置は、請求項 1 または請求項 2 において、前記第三の絶縁膜が凹凸を有するものである。

【0 0 1 3】

請求項 2 記載チャージアップダメージ評価用半導体装置によれば、請求項 1 と同様な効果のほか、チャージアップしやすくなる。

【0 0 1 4】

請求項 4 記載のチャージアップダメージ評価用半導体装置は、請求項 1、請求項 2 または請求項 3 において、少なくとも第二の導電層の上部の第三の絶縁膜に幾何学模様を形成しているものである。

【0 0 1 5】

請求項 4 記載チャージアップダメージ評価用半導体装置によれば、請求項 1、請求項 2 または請求項 3 と同様な効果がある。

【0 0 1 6】

請求項 5 記載のチャージアップダメージ評価用半導体装置は、請求項 1、請求項 2、請求項 3 または請求項 4 において、第三の絶縁膜の上面が多数の平行なスリットのあるスリット形状である。

【0 0 1 7】

請求項 5 記載チャージアップダメージ評価用半導体装置によれば、請求項 1、請求項 2、請求項 3 または請求項 4 と同様な効果がある。

【0 0 1 8】

請求項 6 記載のチャージアップダメージ評価用半導体装置は、請求項 1、請求項 2、請求項 3 または請求項 4 において、第三の絶縁膜の上部に多数のスリットを放射形状に形成したものである。

【0 0 1 9】

請求項 6 記載チャージアップダメージ評価用半導体装置によれば、請求項 1、請求項 2、請求項 3 または請求項 4 と同様な効果がある。

【 0 0 2 0 】

請求項 7 記載チャージアップダメージ評価用半導体装置は、請求項 1、請求項 2、請求項 3 または請求項 4 において、第三の絶縁膜の上部にスリットを渦巻状に形成したものである。

【 0 0 2 1 】

請求項 7 記載チャージアップダメージ評価用半導体装置によれば、請求項 1、請求項 2、請求項 3 または請求項 4 と同様な効果がある。

【 0 0 2 2 】

請求項 8 記載のチャージアップダメージ評価用半導体装置は、請求項 1 または請求項 2 において、第二の導電層に接続されたアンテナ部の面積と第一の導電層と第二の導電層で形成されたキャパシタ部分の面積の比が大きいものである。

【 0 0 2 3 】

請求項 8 記載チャージアップダメージ評価用半導体装置によれば、請求項 1 または請求項 2 と同様な効果のほか、静電気によるチャージアップに対して高感度である。

【 0 0 2 4 】

請求項 9 記載のチャージアップダメージ評価用半導体装置は、請求項 1、請求項 2 または請求項 8 において、第二の絶縁膜の膜厚に対する第一の絶縁膜の膜厚の比が大きいものである。

【 0 0 2 5 】

請求項 9 記載チャージアップダメージ評価用半導体装置によれば、請求項 1、請求項 2 または請求項 8 と同様な効果のほか、静電気による印加電圧が大きくなる。

【 0 0 2 6 】

請求項 1 0 記載のチャージアップダメージ評価方法は、半導体製造工程において静電気によりチャージアップされた請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6、請求項 7、請求項 8 または請求項 9 記載のチャージアッ

プダメージ評価用半導体装置を光学式欠陥検査装置にて検査し、静電気起因で発生した欠陥の検出数から欠陥発生率を算出することを特徴とするものである。

【0027】

請求項10記載チャージアップダメージ評価方法によれば、静電気に対して高感度化された評価用半導体装置の物理的破壊個所を検出し、欠陥発生率を算出することによって、静電気起因のチャージアップダメージを感度良く定量的に評価することができる。

【0028】

請求項11記載のチャージアップダメージ評価方法は、請求項5記載のチャージアップダメージ評価用半導体装置を光学式欠陥検査装置にて検査し、静電気起因で発生した欠陥の検出数から欠陥発生率を算出するチャージアップダメージ評価方法であって、半導体製造工程における洗浄工程で洗浄液からチャージアップダメージ評価用半導体製造装置を引き上げる際に、第三の絶縁膜上部の前記スリットに対して平行な方向に引き上げる場合と、前記スリットに対して垂直な方向に引き上げる場合とに分離して行い、引き上げた各チャージアップダメージ評価用半導体製造装置を前記光学式欠陥検査装置により検査することを特徴とするものである。

【0029】

請求項11記載チャージアップダメージ評価方法によれば、半導体装置の引き上げ方向に依存したチャージアップダメージを、引き上げ方向に対して平行な方向と垂直な方向に分離して測定するでき、チャージアップダメージをそれぞれ定量的に評価できる。

【0030】

【発明の実施の形態】

以下、本発明に係るチャージアップダメージ評価用半導体装置とその評価方法としての各実施形態について、図面を参照しながら説明する。

【0031】

(第一の実施形態)

本発明の第一の実施形態に係るチャージアップダメージ評価用半導体装置につ

いて図1から図5を参照しながら説明する。

【0032】

図1 (A) は本実施の形態におけるチャージアップダメージ評価用半導体装置（以後テストデバイスとする）の表面構造を示し、図1 (B) は図1 (A) のX-Y線断面図を示す。5はシリコン (Si) 基板9と下部電極6と電氣的に接続するためのコンタクト、8は電荷を蓄積するアンテナとなる大面積パターンを形成する上部電極、7は下部電極6と上部電極8とが交差する部分、10はシリコン基板9上に堆積された層間絶縁膜、11は層間絶縁膜10上に堆積された層間絶縁膜、12は層間絶縁膜11上に堆積された層間絶縁膜をそれぞれ示している。絶縁膜12は帯電しやすい材料例えば、プラズマTEOS膜やプラズマ酸化膜を用いる。

【0033】

このテストデバイスにおいて静電気によるチャージアップを検出する箇所（以下検出部と称する）は、電荷を蓄積するアンテナとなる上部電極8（以下アンテナ部と称する）とシリコン基板に接続された下部電極6とが交差するキャパシタ部分（検出部）7の層間絶縁膜11である。この検出部7とアンテナ部8の面積比を大きくする必要がある。例えば、検出部7の面積を $10\mu\text{m}^2$ 、検出部とアンテナ部の面積比が1000000となるように構成する。また絶縁膜厚を従来技術のアンテナ付きMOSキャパシタで用いられる絶縁膜厚に比べ厚くする。例えば、本実施の形態では、層間絶縁膜11の膜厚を400nm、層間絶縁膜10の膜厚を400nm、層間絶縁膜に比誘電率が4.2であるプラズマTEOS (Tetra Ethyl Ortho Silicate) を用いた。このような構造をとることによって、単位面積当たり $3.0 \times 10^{-3}\text{C}/\text{m}^2$ の微小な静電気による帯電量でも検出対象となる絶縁膜が破壊され、高感度に静電気を検出することができる。

【0034】

以下に上記構造とすることによって、静電気による帯電を感度良く検出することができる理由を述べる。

【0035】

このテストデバイス表面が静電気によって帯電した場合、表面電位が上昇する。この電位の上昇によって、アンテナ部 8 で形成されているキャパシタに静電エネルギーが蓄積される。表面電位がある一定値以上になると、検出部 7 の層間絶縁膜 11 に絶縁耐圧以上の電界が印加される。その絶縁耐圧以上の印加電界によって、検出部 7 の電極間にリーク電流が発生する。リーク電流によって一旦電荷の流れが形成されると、アンテナとなる上部電極 8 と層間絶縁膜 11 との間に蓄積されていた電荷が、一気にシリコン基板 9 に流れる。この蓄積電荷の急激な放出によって検出部 7 の層間絶縁膜 11 は電荷の流れによるジュール熱の発生により物理的に破壊される。

【0036】

テストデバイスの最表面が帯電した際の、図 1 B における等価回路を図 2 に示す。真空の誘電率を ϵ_0 、層間絶縁膜 10、11 の比誘電率を k とすると、図 3 において、上部電極 8 と下部電極 6 とが交差する部分 7 の層間絶縁膜 11 の静電容量を C_A (比誘電率: k 、絶縁膜厚: d_2 、電極面積: S_A 、蓄積電荷量: Q_X)、その部分 7 の上部電極 8 上の層間絶縁膜 12 の最表面に蓄積される電荷量を Q_A とし、上部電極 8 と S_i 基板 9 との間の層間絶縁膜 10 と層間絶縁膜 11 とで形成される絶縁膜の静電容量を C_B (比誘電率: k 、絶縁膜厚: $d_1 + d_2$ 、電極面積: S_B 、蓄積電荷量: Q_Y)、その上部電極 8 上の層間絶縁膜 12 の最表面に蓄積される電荷量を Q_B 、上部電極 8 と下部電極 6 との間に印加される電圧を V とすると、上部電極 8 と層間絶縁膜 11 との間に蓄積される電荷による静電エネルギー E 、静電容量 C_A 、 C_B 、印加電圧 V は以下のように表される。

【0037】

【数1】

$$E = \frac{1}{2} \frac{(Q_A + Q_B)^2}{C_A + C_B} = \frac{1}{2} (C_A + C_B) V^2 \quad (1)$$

$$C_A = k \epsilon_0 \frac{S_A}{d_2} \quad (2)$$

$$C_B = k \epsilon_0 \frac{S_B}{d_1 + d_2} \quad (3)$$

$$V = \frac{Q_A + Q_B}{C_A + C_B} \quad (4)$$

【0038】

発生した静電気に対して、テストデバイス表面のより少ない帯電量で破壊を発生させることが、より高感度にチャージアップを検出できることにつながる。

【0039】

アンテナ部8と検出部7の層間絶縁膜11が破壊されるためには、絶縁耐圧以上の電界が発生することと、破壊される絶縁膜に印加される電界によりリーク電流が発生する前に、アンテナ部8と層間絶縁膜11との間に蓄積されていた電荷による静電エネルギー（E）が、検出部7の層間絶縁膜11を破壊するのに十分である程蓄積されていることである。以後、アンテナ部8の面積を検出部7の面積で割った値（ S_B/S_A ）をアンテナ比（AR）とする。

【0040】

発生する静電気に対してより高感度に破壊を発生させるためには、少ない帯電量を集めやすくするためのアンテナ部8の面積（ S_B ）を大きくし、その蓄積電

荷による静電エネルギー（ E ）を増大させ、蓄積電荷が即座にリークして失われないために対象絶縁膜 1 1 の膜厚（ d_2 ）を大きくし、また対象絶縁膜 1 1 に印加される電圧を大きくするために、下部電極 6 と S i 基板 9 を接続し、層間絶縁膜 1 0 の膜厚（ d_1 ）を大きくする必要がある。

【 0 0 4 1 】

そこで、層間絶縁膜 1 0 上に堆積された C_A と C_B の値に依存する層間絶縁膜 1 1 の膜厚（ d_2 ：nm）に対する、静電気によって検出部 7 を破壊するのに十分なテストデバイス表面に帯電した電荷密度（ C/m^2 ）の相関関係の計算結果を図 3 に示す。図 3 の横軸は層間絶縁膜 1 1 の膜厚（ d_2 ）を、縦軸は静電気によってテストデバイス表面に帯電した電荷密度（ C/m^2 ）を示している。図 3 から、大きなアンテナ比でかつ層間絶縁膜 1 1 の膜厚が大きいほど、より低い電荷密度で、検出部の層間絶縁膜 1 1 を破壊するのに十分な静電エネルギーに達していることがわかる。

【 0 0 4 2 】

またシリコン基板 9 上に堆積された層間絶縁膜 1 0 の膜厚（ d_1 ：nm）に対する、静電気によって検出部 7 を破壊するのに十分なテストデバイス表面に帯電した電荷密度（ C/m^2 ）の相関関係の計算結果を図 4 に示す。但し、層間絶縁膜 1 1 の膜厚（ d_2 ）は 4 0 0 nm に固定している。図 4 の横軸は S i 基板 9 上に堆積された層間絶縁膜 1 0 の膜厚を、縦軸は静電気によってテストデバイス表面に帯電した電荷密度（ C/m^2 ）を示している。図 4 から、大きなアンテナ比でかつ層間絶縁膜 1 0 の膜厚が大きい、したがって第二の絶縁膜 1 1 の膜厚に対する第一の絶縁膜 1 0 の膜厚の比が大きいほど、より低い電荷密度で、検出部 7 の層間絶縁膜 1 1 を破壊するのに十分な静電エネルギーに達していることがわかる。

【 0 0 4 3 】

また、 C_A の値に影響する検出部 7 の面積に対する、静電気によってテストデバイス表面に帯電した電荷密度（ C/m^2 ）の相関関係の計算結果を図 5 に示す。図 5 の横軸は検出部 7 の面積（図中の横軸の数値、例えば、 $1.00E-08$ は 1×10^{-8} を意味する。図 6、図 7 の横軸の数値も同様である。）を、縦軸は静電気

よってテストデバイス表面に帯電した電荷密度 (C/m^2) を示している。図5から、大きなアンテナ比でかつ検出部の面積が大きいほど、より低い電荷密度で、検出部の層間絶縁膜11を破壊するのに十分な静電エネルギーに達していることがわかる。

【0044】

以上の結果から静電気の帯電に対してより高感度にテストデバイスが破壊されるためには、アンテナ比を10000以上とし、層間絶縁膜10、11の膜厚を400nm以上に大きくしかつ検出部である上部電極8と下部電極6とが交差する部分7の面積を $10\mu m^2$ 以上にすることで可能となる。これらの条件を満たすことで、テストデバイスは、従来のチャージアップダメージ評価用アンテナ付きMOSキャパシタよりも、静電気による帯電に対して感度が高くなり、チャージアップを検出しやすい。

【0045】

次に本発明の第一の実施形態に係るチャージアップダメージ評価方法について説明する。

【0046】

チャージアップダメージ評価を行いたい半導体製造装置で、上記の静電気による帯電に対して高感度であるテストデバイスの処理を行う。その評価対象の半導体製造装置での処理を行うことによって静電気が発生し、テストデバイス表面にある値以上の電荷が帯電すると、このテストデバイスのチャージアップ検出部に破壊が発生する。

【0047】

その破壊が発生したテストデバイスを、光学式欠陥検査装置内に入れ、チップ内において各アンテナ比ごとに区切って検査領域を設定する。例えば、アンテナ比が1、10、100の3種類であれば、テスト1ではアンテナ比が1の領域のみ、テスト2ではアンテナ比10の領域のみ、テスト3ではアンテナ比100の領域のみを検査するように検査領域を設定する。また、チャージアップ検出部の破壊のみを検出し、パーティクル等の異物を検出しないように感度調整をする。これらの設定により、各アンテナ比ごとにチャージアップ検出部の破壊による欠

陷数のみを検出することができる。これらの設定後、欠陥検査を実施することで検出された欠陥数から各アンテナ比ごとにテストデバイスの欠陥発生率を算出することができる。

以下に、静電気によるチャージアップダメージを第一の実施形態の構造で評価した例を示す。

【0048】

式(1)から、蓄積される電荷による静電エネルギーは、蓄積される電荷量の増加につれて増加することがわかる。このことから、アンテナとなる上部電極8の面積を大きくし、蓄積される電荷量を増加させることにより、感度よくチャージアップダメージを発生させることが可能となる。ここで、シリコン基板9上に堆積された層間絶縁膜10および層間絶縁膜10上に堆積された層間絶縁膜11の膜種をプラズマTEOS膜(比誘電率:4.2)、膜厚を400nm、検出部である上部電極8と下部電極6とが交差する部分7の面積を一定値($=10\mu\text{m}^2$)とし、アンテナ比が1、10、100、1000、10000、100000、1000000となるように、図1(A)を1チップ内に計7種類配置したようなテストデバイスで実験を行った。テストデバイスをチャージアップ評価用半導体製造装置で処理した。静電気のチャージアップにより発生した欠陥を光学式欠陥検査装置で検出し、その検出数から欠陥発生率を算出した。その結果を図6に示す。図6において、横軸がテストデバイスのアンテナ比、縦軸が欠陥発生率(%)を示している。図6からアンテナ比増加にともない、欠陥発生率も増加していることがわかる。また、アンテナ比10000の時の式(1)、(2)、(3)、(4)に基づく計算より求めた、アンテナ部の上部電極8と層間絶縁膜11との間に蓄積される電荷による静電エネルギーと欠陥発生率との相関関係を図7に示す。図7において、横軸がアンテナとなる上部電極8と層間絶縁膜11との間に蓄積される電荷による静電エネルギー(J)、縦軸が欠陥発生率(%)を示している。図7より、静電エネルギーが $1.0\mu\text{J}$ 以上において急激に欠陥発生率が上昇した。

上述のように、本実施形態によれば、アンテナ比を大きくし、チャージアップの検出感度を上げたテストデバイスを用いて、光学式欠陥検査装置でチャージアッ

プによる破壊を検出することで、静電気によるチャージアップダメージを定量的に評価することができる。

【0049】

（第二の実施形態）

本発明の第二の実施形態に係るチャージアップ評価用半導体装置について図8から図10を参照しながら説明する。図8は本発明の第二のチャージアップ評価用半導体装置の構造図を示す。図8（A）は第二の実施の形態におけるテストデバイスの表面構造を示し、図8（B）は図8（A）のX-Y線断面図を示す。

【0050】

5はシリコン基板9と下部電極6と電気的に接続するためのコンタクト、8は電荷を蓄積するアンテナとなる上部電極、7は下部電極6と上部電極8とが交差する部分、10はシリコン基板9上に堆積された層間絶縁膜、11は層間絶縁膜10上に堆積された層間絶縁膜、13は層間絶縁膜11上に堆積された例えば多数の平行スリットを有するスリット状に加工した最上部絶縁膜（例えば、ピッチ： $1\mu\text{m}$ ）をそれぞれ示している。

本構造を用いることによって、方向性のあるチャージアップダメージの検出をすることができる。

（第三の実施形態）

以下、第二の実施形態のチャージアップ評価用半導体装置を用いて、チャージアップを測定した例を示す。評価方法は第一の実施の形態と同様である。

図9は洗浄液として例えば超純水による多槽式浸漬洗浄装置における、本発明のチャージアップ評価用半導体装置Pの引き上げ方法を示す。図9（A）は引き上げ方向とスリット14の方向を平行にした場合で、図9（B）は引き上げ方向とスリット14の方向を垂直にした場合を示す。ここで図10は、それぞれの方向についての引き上げ速度（ mm/s ）と本発明のチャージアップ評価用半導体装置の破壊率との関係を示す図である。図10において、横軸は半導体装置の引き上げ速度（ mm/s ）を表し、縦軸は欠陥発生率（%）を表している。ここで、石英槽15には超純水16（比抵抗値： $18.0\text{M}\Omega\cdot\text{cm}$ ）を満たしてある。この超純水16に、本発明のチャージアップ評価用半導体装置を2分間浸漬し、

リフターで引き上げた。

【0051】

図10から、図9（A）の場合と図9（B）の場合のどちらにおいても、引き上げ速度が増加すると、欠陥発生率も増加している。これは、引き上げ速度が増加するにつれて、単位時間当たりに基板と石英槽15内の超純水16との間に働く摩擦力 F' による仕事量が増加するためと考えられる。また、図9（A）の引き上げ方向とスリット14の方向が平行の時の方が、超純水16と基板（P）との接触面積も大きくなる。また超純水16が重力加速を受けてスリット14間を流れやすくなっているため、結果的に、図9（B）の場合よりも図（A）の場合の方が、超純水との間に働く摩擦力 F' による仕事量が大きくなる。

【0052】

したがって、その摩擦により静電気が発生し、スリット状に加工した最上部絶縁膜13に蓄積される電荷量も、引き上げ速度の増加につれて増加することになり、第三の絶縁膜13にかかる電圧 V も比例して増加し、半導体装置の破壊率が上昇することになる。

【0053】

上述のように、本実施形態によれば、本発明の半導体装置の最上部絶縁膜13の表面を、引き上げ方向と平行にスリット状に加工し、超純水16と基板（P）との接触面積及び超純水16の落下速度を促進させることで、絶縁体である超純水16とスリット上に加工した最上部絶縁膜13間での摩擦で生じる静電気にチャージアップダメージを定量的に評価することができる。

【0054】

本実施形態では、半導体装置の引き上げ方向に依存したチャージアップダメージを、引き上げ方向に対して平行な方向と垂直な方向に分離して測定できる特徴を有している。

【0055】

なお、最上部絶縁膜13のスリットの形状を渦巻状に加工することにより、回転式枚葉洗浄装置での吐出された超純水と最上部絶縁膜13との接触面積が大きくなり、静電気が発生しやすくなり、感度が上がる。

【0056】

また、本発明は、第三の絶縁膜 13 は凹凸を有するものでもよく、少なくとも第二の導電層 8 の上部の第三の絶縁膜 13 に幾何学模様を形成してもよい。さらに、第三の絶縁膜 13 の上部に多数のスリットを放射形状に形成してもよい。

【0057】**【発明の効果】**

請求項 1 記載チャージアップダメージ評価用半導体装置によれば、製造工程での処理により発生した静電気により、アンテナとなる第二の導電層下部に電荷による静電エネルギーが蓄えられ、静電気による高電界の印加により第一の導電層と第二の導電層間の絶縁膜を劣化させることにより、蓄積された静電エネルギーが放出され、第一の導電層と第二の導電層間の絶縁膜の物理的破壊が発生するため、静電気起因のチャージアップダメージを感度良く定量的に検出することができる。

【0058】

請求項 2 記載チャージアップダメージ評価用半導体装置によれば、請求項 1 と同様な効果のほか、高い感度を期待できる。

【0059】

請求項 3 記載チャージアップダメージ評価用半導体装置によれば、請求項 1 と同様な効果のほか、チャージアップしやすくなる。

【0060】

請求項 4 記載チャージアップダメージ評価用半導体装置によれば、請求項 1、請求項 2 または請求項 3 と同様な効果がある。

【0061】

請求項 5 記載チャージアップダメージ評価用半導体装置によれば、請求項 1、請求項 2、請求項 3 または請求項 4 と同様な効果がある。

【0062】

請求項 6 および請求項 7 記載チャージアップダメージ評価用半導体装置によれば、請求項 1、請求項 2、請求項 3 または請求項 4 と同様な効果がある。

【0063】

請求項 8 記載チャージアップダメージ評価用半導体装置によれば、請求項 1 または請求項 2 と同様な効果のほか、静電気によるチャージアップに対して高感度である。

【0064】

請求項 9 記載チャージアップダメージ評価用半導体装置によれば、請求項 1、請求項 2 または請求項 8 と同様な効果のほか、静電気による印加電圧が大きくなる。

【0065】

請求項 10 記載チャージアップダメージ評価方法によれば、静電気に対して高感度化された評価用半導体装置の物理的破壊個所を検出し、欠陥発生率を算出することによって、静電気起因のチャージアップダメージを感度良く定量的に評価することができる。

【0066】

請求項 11 記載チャージアップダメージ評価方法によれば、半導体装置の引き上げ方向に依存したチャージアップダメージを、引き上げ方向に対して平行な方向と垂直な方向に分離して測定するでき、チャージアップダメージをそれぞれ定量的に評価できる。

【図面の簡単な説明】

【図 1】

(A) は本発明のチャージアップダメージ評価用半導体装置の表面構造を示す表面図、(B) は (A) の X-Y 線の断面を示す図である。

【図 2】

半導体製造装置によって本発明のチャージアップダメージ評価用半導体装置の最表面が帯電した時の図 1 (B) における等価回路を示す説明図である。

【図 3】

異なるアンテナ比において、層間絶縁膜 10 上に堆積された層間絶縁膜 11 の膜厚 (nm) に対する、静電気によってテストデバイス表面に帯電した電荷密度の相関関係を示す図である。

【図 4】

異なるアンテナ比において、層間絶縁膜 10 の膜厚 (nm) に対する、静電気によってテストデバイス表面に帯電した電荷密度の相関関係図を示す図である。

【図 5】

異なるアンテナ比において、上部電極 8 と Si 基板と接続された下部電極 6 が交差する部分 7 の面積に対する、静電気によってテストデバイス表面に帯電した電荷密度の相関関係図を示す図である。

【図 6】

本発明のチャージアップ評価用半導体装置の光学式欠陥検査装置による欠陥の検出数から算出した欠陥発生率の結果を示す、アンテナ比に対する相関関係を示す図である。

【図 7】

アンテナとなる上部電極 8 と層間絶縁膜 11 との間に蓄積される電荷による静電エネルギー (J) と欠陥発生率との相関関係を示す図である。

【図 8】

(A) は本発明の第二のチャージアップダメージ評価用半導体装置の表面構造を示す表面図、(B) は (A) の X-Y 線の断面構造を示す図である。

【図 9】

(A) は本発明の第三の実施の形態におけるチャージアップ評価用半導体装置の槽からの引き上げ方法において、引き上げ方向とスリットの方法が平行な場合の説明図、(B) は引き上げ方向とスリットの方法が垂直である場合の説明図である。

【図 10】

半導体装置のチャージアップダメージによる欠陥発生率と半導体装置の洗浄装置からの引き上げ速度の関係を示す関係図である。

【図 11】

従来のチャージアップダメージ評価用アンテナ付き MOS キャパシタの断面構造を示す図である。

【符号の説明】

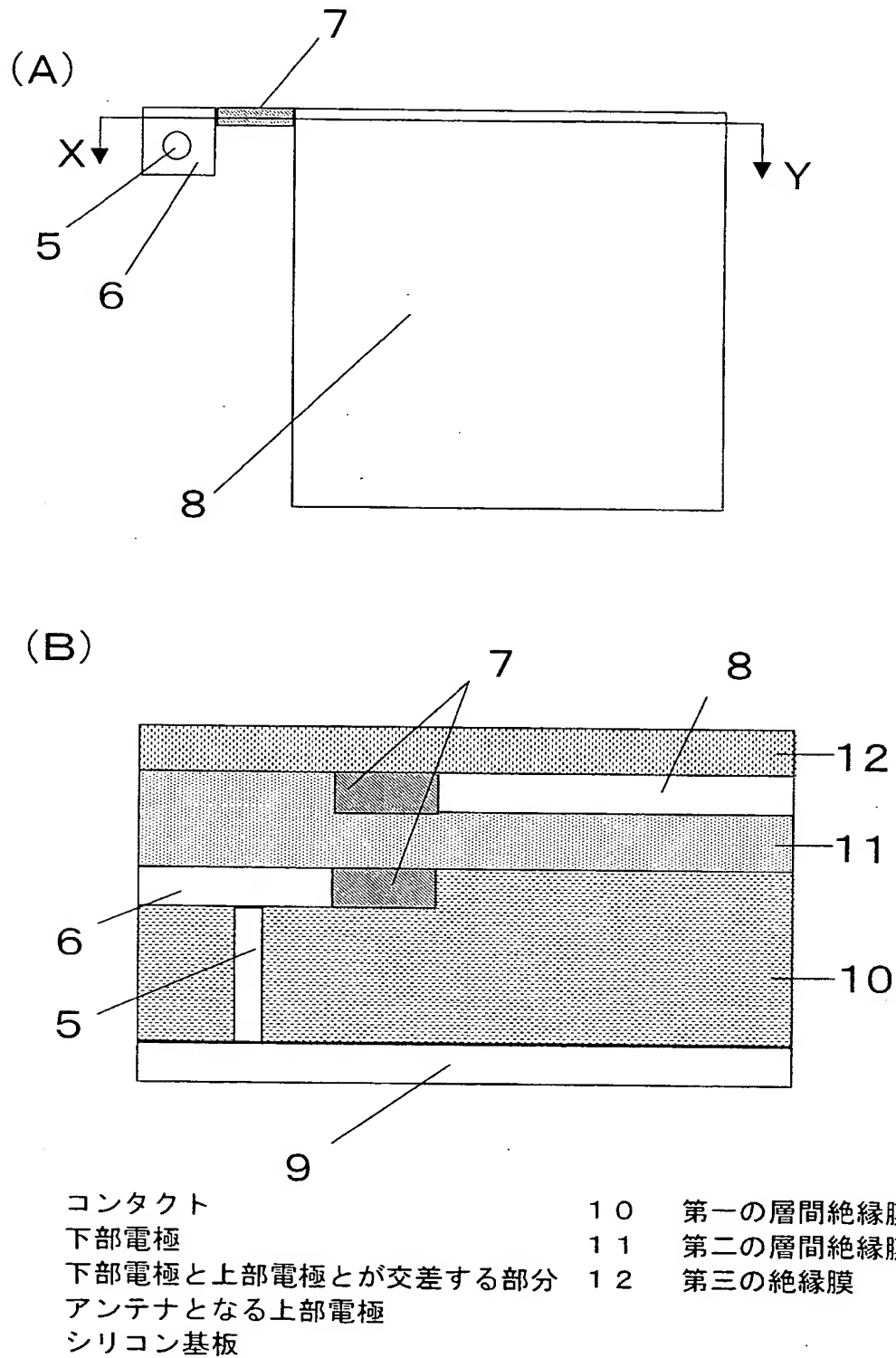
5 コンタクト

- 6 下部電極
- 7 下部電極と上部電極とが交差する部分
- 8 アンテナとなる上部電極
- 9 シリコン基板
- 1 0 第一の層間絶縁膜
- 1 1 第二の層間絶縁膜
- 1 2 第三の絶縁膜
- 1 3 スリット状に加工した第三の絶縁膜
- 1 4 スリット
- 1 5 石英槽
- 1 6 超純水
- 1 0 1 シリコン基板
- 1 0 2 キャパシタ領域となる薄膜ゲート酸化膜
- 1 0 3 素子分離酸化膜
- 1 0 4 アンテナ電極となるポリシリコン膜

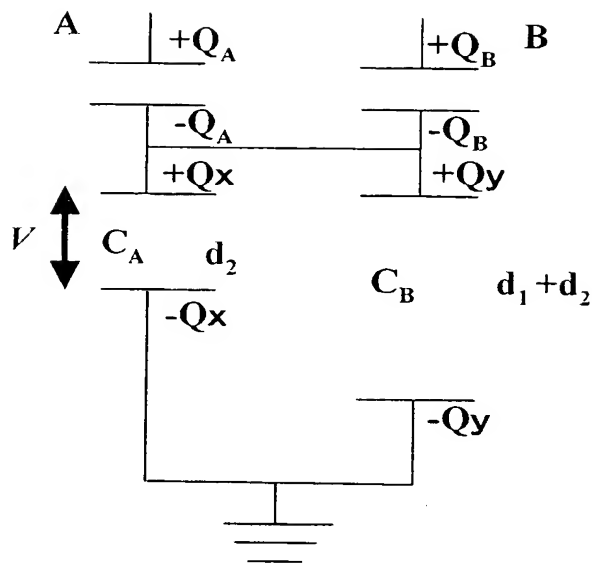
【書類名】

図面

【図 1】



【図 2】



Q : 電荷
 C : 電気容量
 V : 印加電圧

$$C_A = k \epsilon_0 \frac{S_A}{d_2}$$

$$C_B = k \epsilon_0 \frac{S_B}{d_1 + d_2}$$

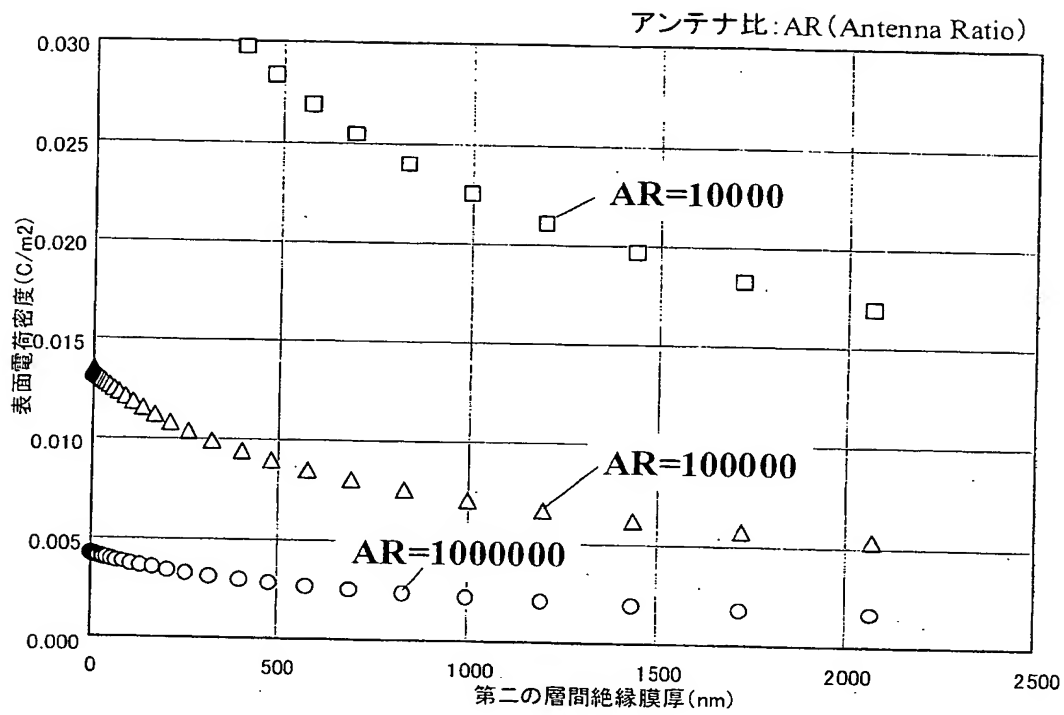
$$V = \frac{Q_A + Q_B}{C_A + C_B}$$

A: 上部電極と下部電極が交差する部分
 B: 上部電極と下部電極が交差しない部分

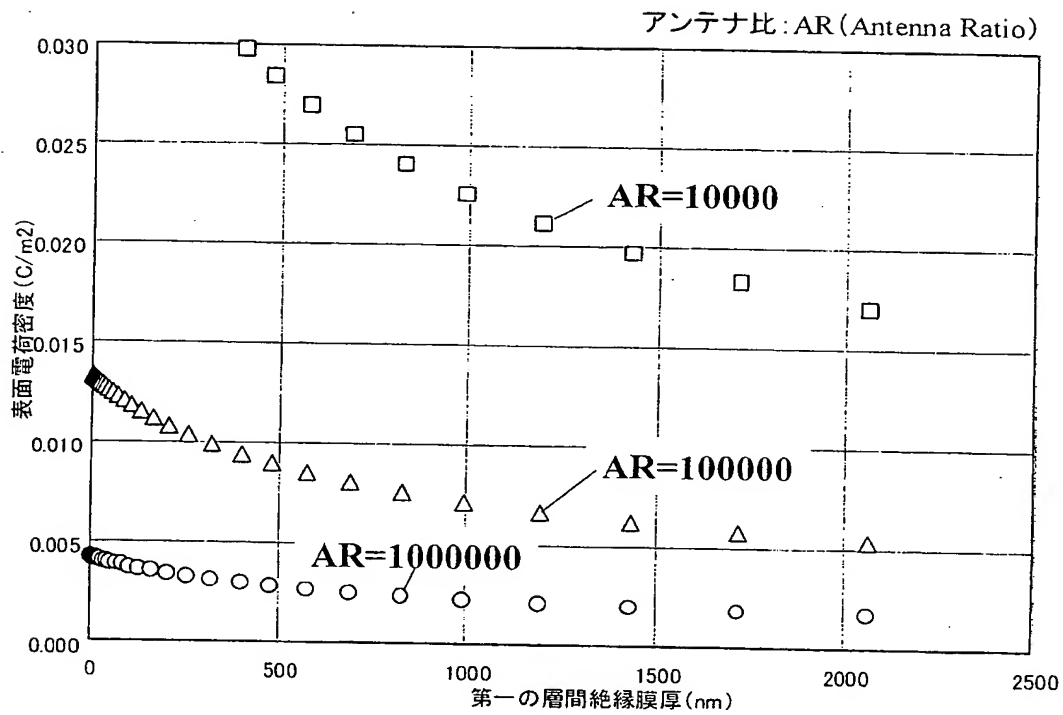
蓄積電荷による静電エネルギー

$$E = \frac{1}{2} \frac{(Q_A + Q_B)^2}{C_A + C_B} = \frac{1}{2} (C_A + C_B) V^2$$

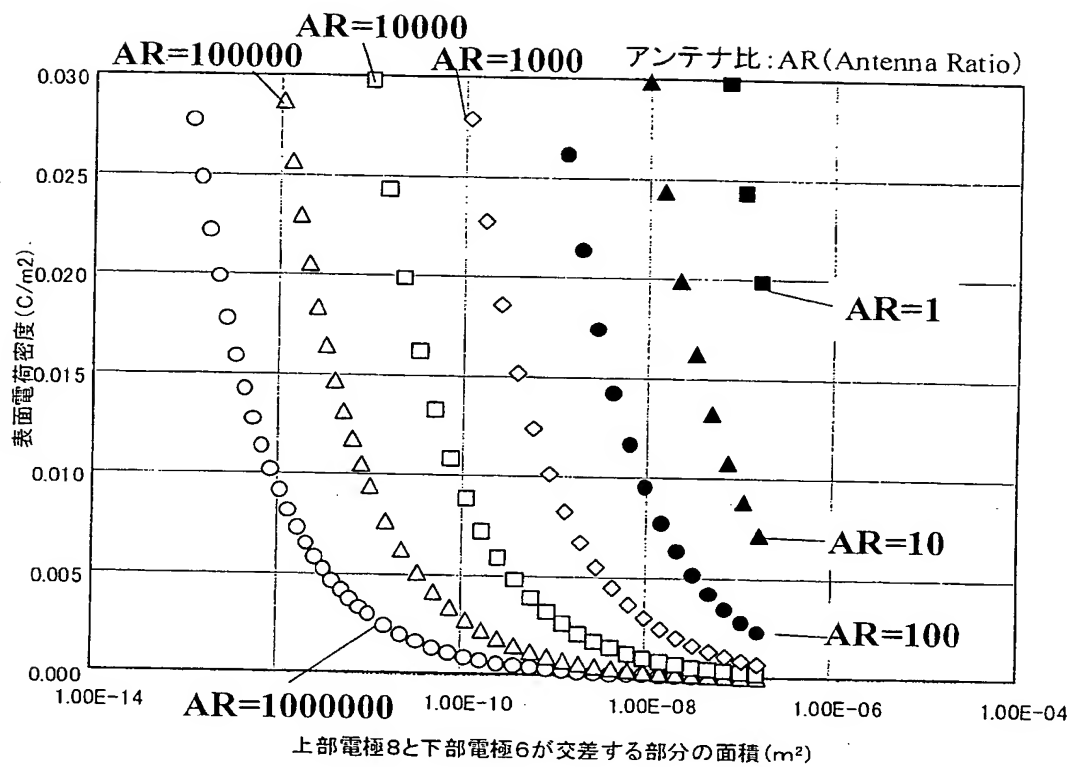
【図 3】



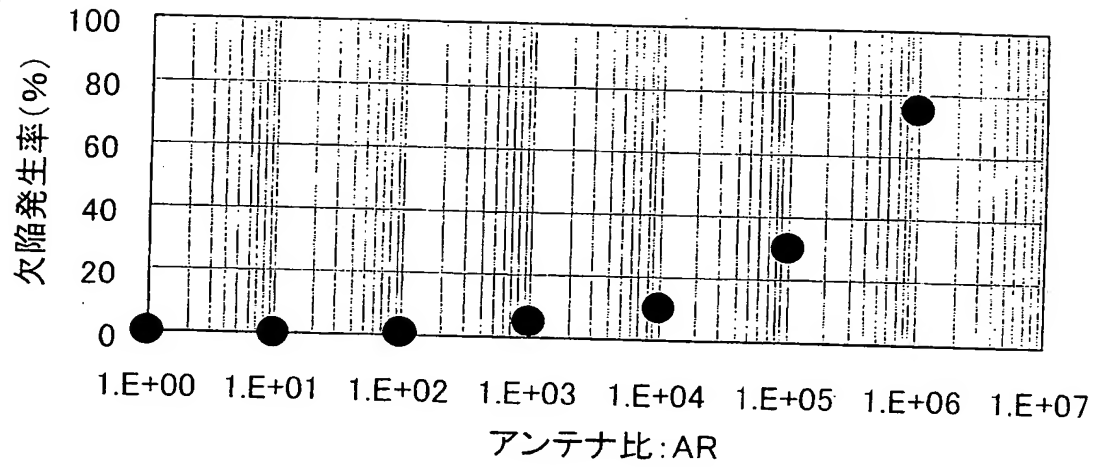
【図 4】



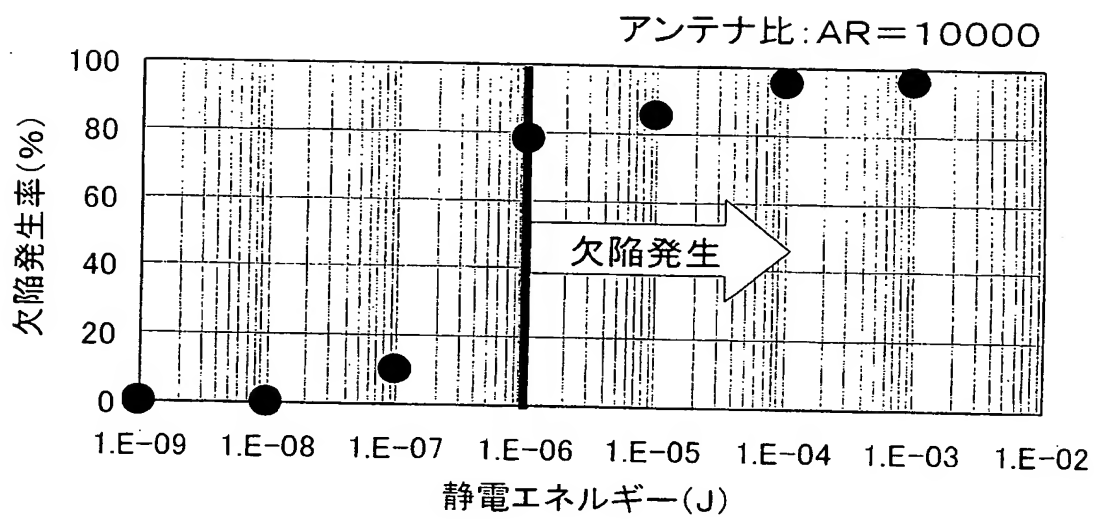
【図 5】



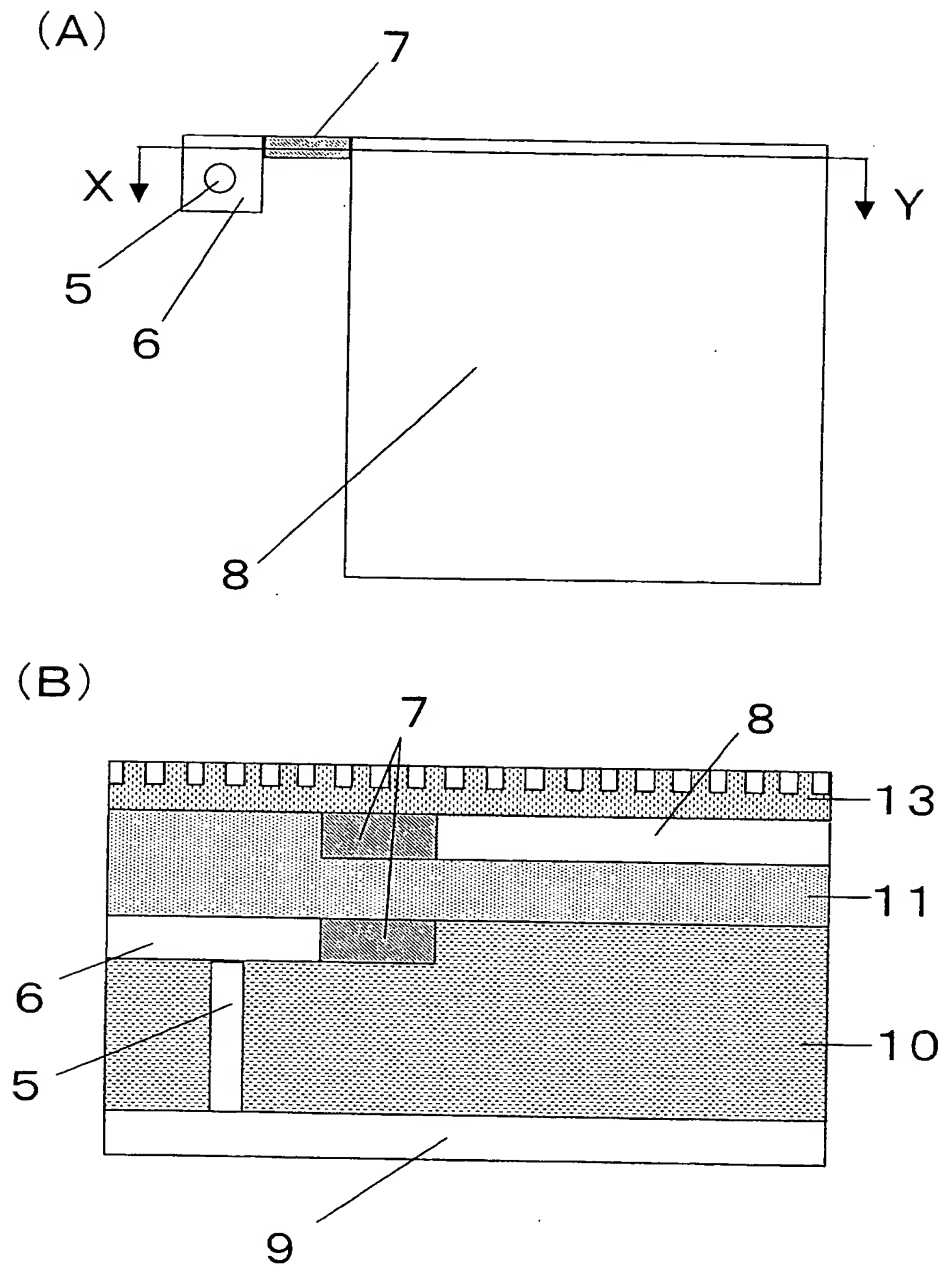
【図 6】



【図 7】

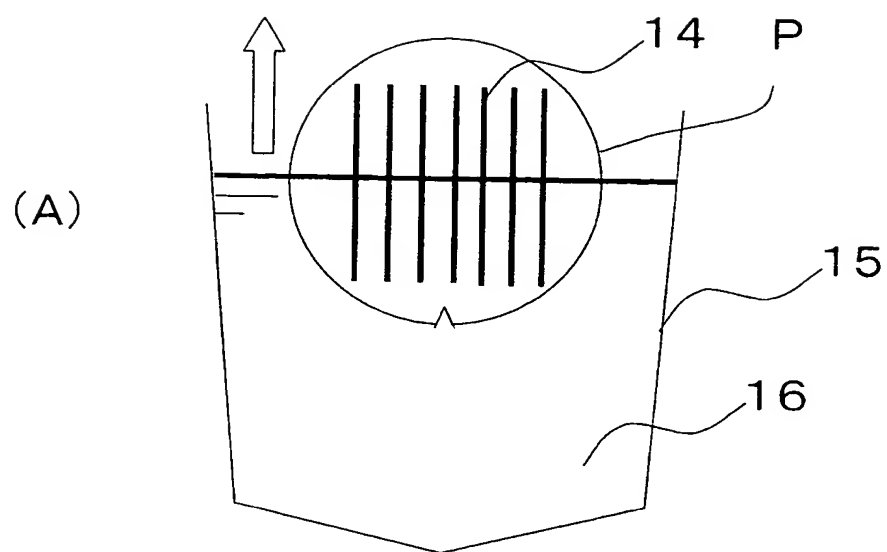


【図 8】

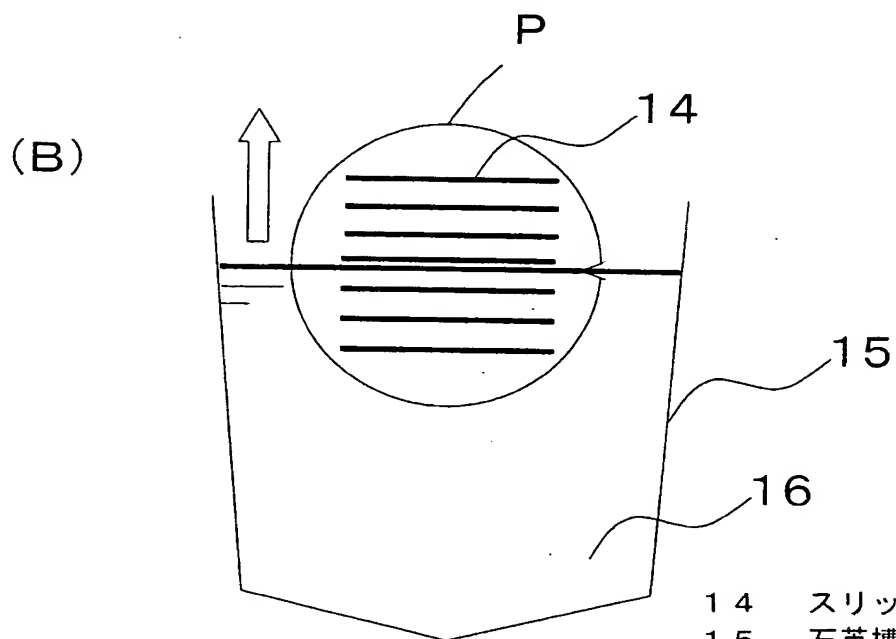


13 スリット状に加工した第三の絶縁膜

【図9】



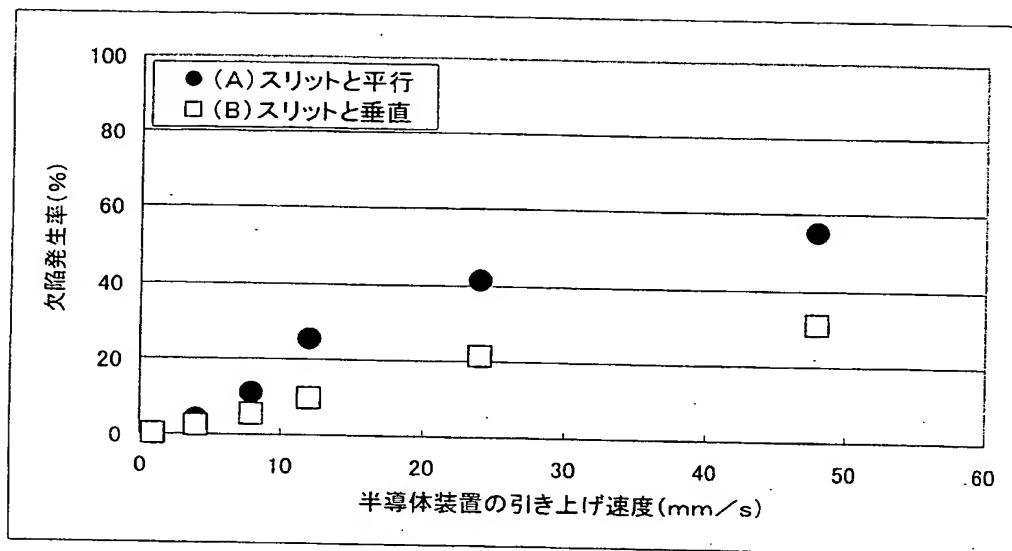
引き上げ方向と平行



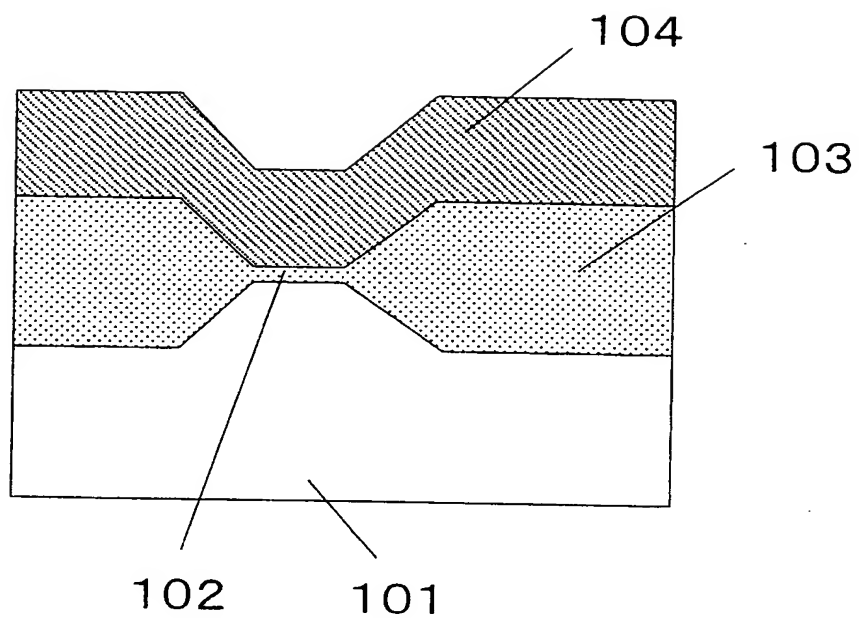
14 スリット
15 石英槽
16 超純水

引き上げ方向と垂直

【図 10】



【図 11】



- 101 シリコン基板
- 102 キャパシタ領域となる薄膜ゲート酸化膜
- 103 素子分離酸化膜
- 104 アンテナ電極となるポリシリコン膜

【書類名】 要約書

【要約】

【課題】 静電気によるチャージアップダメージを検出することのできるチャージアップダメージ評価用半導体装置とその評価方法を提供する。

【解決手段】 シリコン基板 9 と、このシリコン基板 9 上に形成された第一の絶縁膜 1 0 と、この第一の絶縁膜 1 0 上に形成されシリコン基板 9 に接続された第一の導電層 6 と、この第一の導電層 6 上に形成された第二の絶縁膜 1 1 と、この第二の絶縁膜 1 1 上に形成されアンテナとなる第二の導電層 8 と、この第二の導電層 8 上に形成された第三の絶縁膜 1 2 とを備えている。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 4 2 3 5 2
受付番号	5 0 3 0 0 2 7 1 1 8 6
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 2 月 2 1 日

<認定情報・付加情報>

【提出日】	平成15年 2月20日
-------	-------------

次頁無

特願 2 0 0 3 - 0 4 2 3 5 2

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社